

(51) Int.Cl. ⁷	識別記号	F I	テマコト [®] (参考)
H 01 L 29/78		H 01 L 29/78	3 0 1 H 5 F 0 4 0
21/8238		27/08	3 2 1 C 5 F 0 4 8
27/092		29/78	3 0 1 G

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願2000-269483(P2000-269483)

(22) 出願日 平成12年9月6日 (2000.9.6)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 松田 聰

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100083161

弁理士 外川 英明

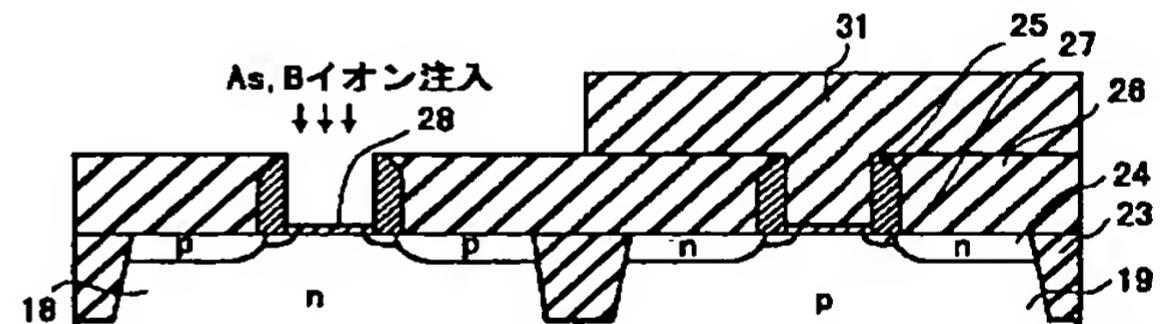
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

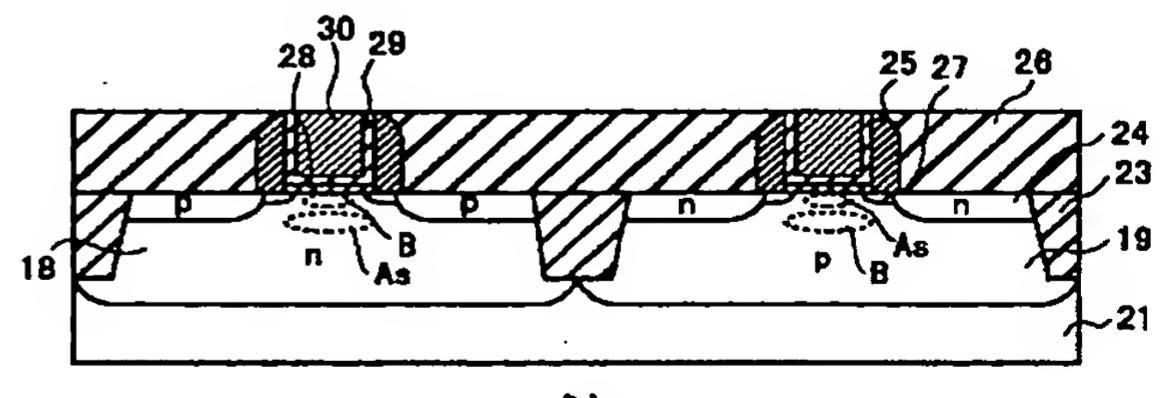
(57) 【要約】

【課題】 M I S F E T のチャネル領域において不純物プロファイルの大きな変動を招くことなく、半導体基板面との界面構造が安定で膜質の良好なゲート絶縁膜を得ることができる半導体装置の製造方法の提供。

【解決手段】 S i 基板 2 1 の表面に膜厚 1 n m 程度の熱酸化膜 2 8 を形成した後、熱酸化膜を介して n 型の不純物としての A s (ヒ素) と p 型のカウンタ不純物としての B (ボロン) を、それぞれ基板内にイオン注入したうえで注入された各不純物を活性化し、次いで熱酸化膜上に高誘電体膜からなる絶縁膜 2 9 を堆積してゲート絶縁膜を得る。



(a)



(b)

28 : 热酸化膜

31 : レジスト

29 : 絶縁膜

30 : ゲート電極

1

【特許請求の範囲】

【請求項1】半導体基板上に形成されたMISFETを具備する半導体装置の製造方法であって、前記半導体基板上に絶縁薄膜を形成して基板面を保護する成膜工程と、少なくとも前記MISFETのチャネル領域となる前記半導体基板内に前記絶縁薄膜を介して不純物を注入するイオン注入工程と、前記イオン注入工程の後前記絶縁薄膜上に絶縁膜を堆積する膜堆積工程とを備え、前記絶縁薄膜及び前記絶縁膜の積層膜が前記MISFETのゲート絶縁膜とされることを特徴とする半導体装置の製造方法。

【請求項2】半導体基板上に形成されたMISFETを具備する半導体装置の製造方法であって、前記半導体基板上に熱酸化膜を形成する成膜工程と、少なくとも前記MISFETのチャネル領域となる前記半導体基板内に前記熱酸化膜を介して不純物を注入するイオン注入工程と、前記イオン注入工程の後前記熱酸化膜上に絶縁膜を堆積する膜堆積工程とを備え、前記熱酸化膜及び前記絶縁膜の積層膜が前記MISFETのゲート絶縁膜とされることを特徴とする半導体装置の製造方法。

【請求項3】前記イオン注入工程は、前記半導体基板と同導電型の不純物を前記半導体基板内に深く注入する工程と、前記半導体基板と逆導電型の不純物を前記半導体基板内に浅く注入する工程とを有することを特徴とする請求項1または請求項2記載の半導体装置の製造方法。

【請求項4】前記イオン注入工程と前記膜堆積工程との間に前記半導体基板内に注入された不純物を活性化するための熱処理を施す工程をさらに備えることを特徴とする請求項1乃至請求項3のいずれか1項記載の半導体装置の製造方法。

【請求項5】前記半導体基板上にダミー絶縁膜を介してダミーゲートを形成する工程と、前記半導体基板内に前記ダミーゲートと自己整合的に前記MISFETのソース、ドレイン領域を形成する工程と、前記ダミーゲートの上面が露出するように前記半導体基板上を層間絶縁膜で被覆する工程と、前記ダミーゲート及び前記ダミー絶縁膜を選択的に除去して溝部を形成する工程をさらに備え、

前記成膜工程、前記イオン注入工程及び前記膜堆積工程は、前記溝部の底面の前記半導体基板に対し行なわれることを特徴とする請求項1乃至請求項4のいずれか1項記載の半導体装置の製造方法。

【請求項6】前記膜堆積工程の後前記溝部内に金属材料を埋め込む工程をさらに備えることを特徴とする請求項1乃至請求項5のいずれか1項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

2

【発明の属する技術分野】本発明は、MISFET (Metal Insulator Semiconductor Field Effect Transistor) を具備する半導体装置の製造方法に関する。

【0002】

【従来の技術】MISFETを具備する半導体装置は、現在までSi基板上に形成されたダイナミック型RAM、スタティック型RAMのような記憶装置や、nMOSFET (Metal Oxide Semiconductor Field Effect Transistor) 及びpMOSFETからなるCMOS (Complementary Metal Oxide Semiconductor) 構成のロジック回路を備えた演算装置等に利用されてきている。近年、集積密度の向上や性能向上のためにこうしたMISFETの微細化が進展しており、世代が進むにつれてMISFETのいわゆる短チャネル効果を抑制することが重要になっている。

【0003】MISFETの短チャネル効果を抑制するには、例えばスケーリング則に従ってゲート絶縁膜を薄膜化する方法が知られている。これは、ゲート電極に電圧を印加したときにゲート絶縁膜が薄いほど、Si基板中に形成される空乏層の制御が容易になるからである。

【0004】一方で、不純物をドープしたポリシリコンからなる一般的なゲート電極を用いた場合に、ゲート絶縁膜の薄膜化により相対的にゲート電極側の電場が強くなると、ゲート電極中に空乏層が形成されてしまうことがある。こうした点に鑑みMISFETのゲート長0.1μm以下の世代では、ゲート空乏化率の改善及びゲート電極の低抵抗化のため、ゲート電極として不純物をドープしたポリシリコンに代わり、金属材料を用いる試みが各所で行なわれている（例えば、1997 IEEE, IEDM Tech. DIG. P.821-824）。

【0005】ゲート電極に用いられる金属材料の具体例としては、特にCMOSデバイスの実現を考慮すると、Siのバンドギャップの中心付近の仕事関数を有する例えばTiN（チタンナイトライド）やTa（タンタル）等が検討されている。何となれば、金属材料を用いたゲート電極では、不純物をドープしたポリシリコンの場合のように不純物のドープによって仕事関数を調整することが困難なためである。このとき、Siのバンドギャップ幅が1eV以上あることから、nMOSFET及びpMOSFETで各々0.5V程度の閾値電圧が得られることになる。

【0006】然るに今後の電源電圧の低電圧化を考慮すると、MISFETの電流駆動力を確保するために、nMOSFET、pMOSFETともさらに閾値電圧を低くすることが求められている。こうした要求に対しては、例えば特開2000-150668号に開示されているようなMISFETのチャネル領域の基板エンジニアリングが有効であり、具体的にはMISFETのチャネル領域へのカウンタ不純物の注入によって浅い埋め込みチャネル構造を実現し、ひいてはnMOSFET、pMO

S F E Tの閾値電圧を低く設定することが可能となる。

【0007】

【発明が解決しようとする課題】このように、金属材料でゲート電極を形成するとともに浅い埋め込みチャネル構造を採用したM I S F E Tは、スケーリング則に則つてスケールダウンされた微細かつ高性能のC M O Sデバイスを実現するうえで、非常に高い期待を集めている。しかしながらこうしたM I S F E Tでは、チャネル領域における不純物プロファイルを精密に制御することが困難であり、いまだ実用化には至っていない。ここで、チャネル領域へのカウンタ不純物としてB(ボロン)を用いたpM O S F E Tを例にとり、その理由を詳述する。

【0008】図5は、ゲート電極が金属材料からなるとともに、浅い埋め込みチャネル構造を有する従来のpM O S F E Tの製造プロセスを示す縦断面図である。まず、LOCOS(選択酸化)法もしくはS T I(シャロウトレンチアイソレーション)法による素子分離領域103の形成されたn型半導体基板(またはn型ウェル)101の表面上で、ダミー絶縁膜を介して所定形状のダミーゲートを加工し、このダミーゲートと自己整合的にM I S F E Tのソース、ドレイン領域104を形成した後、ダミーゲートの上面が露出するように基板上を層間絶縁膜106で被覆したうえで、ダミーゲート及びダミー絶縁膜を選択的に除去して図5(a)に示されるような構造を得る。図中、105はLDD構造またはエクステンション構造のpM O S F E Tを形成するために設けられる側壁絶縁膜、107は側壁絶縁膜105下で、ソース、ドレイン領域104より浅くp型不純物が注入されてなるエクステンション領域である。

【0009】次に、ダミーゲート及びダミー絶縁膜が除去されてできた溝部底面の基板表面に犠牲酸化膜100を形成し、n型の不純物としてA s(ヒ素)またはP(リン)及びp型のカウンタ不純物としてB(ボロン)を、犠牲酸化膜100を介してn型半導体基板101内にイオン注入する(図5(b))。このとき、A s(ヒ素)またはP(リン)は加速電圧100k e V、ドーズ量1E13c m-2として基板内に深く注入し、B(ボロン)は加速電圧5k e V、ドーズ量5E12c m-2として基板のごく浅い部分に注入する。なおここでの犠牲酸化膜100は、基板内に注入される不純物のチャネリングの現象を抑制し、かつC M O Sデバイスを実現する際には、上述したようなイオン注入時にnM O S F E T側を覆うレジストによるS i基板の汚染を回避するために必要となるものである。

【0010】次いで、基板表面の犠牲酸化膜100を剥離した後、例えばn型半導体基板101の表面を熱酸化してpM O S F E Tのゲート絶縁膜102を形成し、引き続いて溝全体に金属材料を埋め込んでゲート電極108とする(図5(c))。ここで、犠牲酸化膜100がそのままゲート絶縁膜102に用いられない理由は、犠

牲酸化膜100を介した基板へのイオン注入の際に惹起されるダメージが大きく、ゲート絶縁膜102として十分な耐圧性を確保できないことによる。

【0011】図6に、こうして製造されたpM O S F E Tについて、チャネル領域における不純物プロファイルをゲート絶縁膜102の形成前後で対比して示す。図中、(a)がチャネル領域に対するイオン注入直後の不純物プロファイル図、(b)がゲート絶縁膜102を形成するための熱酸化の後の不純物プロファイル図である。

【0012】図示される通り、チャネル領域におけるカウンタ不純物としてのB(ボロン)に着目すると、図6(b)においてその不純物プロファイルの鈍りが見られるばかりか、基板表面近傍での濃度が著しく減少していることが判る。これは、例えば1000°C以上の高温下で基板表面を熱酸化してゲート絶縁膜102を形成する際に、拡散係数の大きいB(ボロン)は容易に基板内で拡散が進行するうえに、ここで形成したゲート絶縁膜102中にもB(ボロン)が多量に取りこまれてしまつためと考えられる。この結果従来のpM O S F E Tにおいては、浅い埋め込みチャネル構造を採用しようとしても不純物プロファイルの変動が甚だしく、その閾値電圧を十分低く設定することは決して容易ではない。

【0013】すなわち、上述したような従来のpM O S F E Tでは、熱酸化の工程におけるチャネル領域に注入された不純物の拡散に起因して、所望の不純物プロファイルを有する浅い埋め込みチャネル構造を実現することが製造プロセス上困難であった。しかもこうした熱酸化時の不純物の拡散は、B(ボロン)以外のp型の不純物やA s(ヒ素)、P(リン)、S b(アンチモン)等のn型の不純物でも少なからず生じ得るので、チャネル領域にカウンタ不純物が注入されない一般的なM I S F E Tにも共通の問題であった。

【0014】これに対し、不純物のイオン注入後のゲート絶縁膜形成時における不純物プロファイルの変動を回避するため、熱酸化を行なうことなくC V D法等によってゲート絶縁膜を堆積させることも考えられる。しかし、こうして得られるゲート絶縁膜は熱酸化で形成されたものに比べ、半導体基板面との界面構造が不安定で膜質が劣り、結果的にM I S F E Tのリーク電流が増大するおそれがある。

【0015】本発明はこのような事情に鑑みてなされたものであり、M I S F E Tのチャネル領域において不純物プロファイルの大きな変動を招くことなく、半導体基板面との界面構造が安定で膜質の良好なゲート絶縁膜を得ることができる半導体装置の製造方法を提供することをその目的としている。さらに本発明の別の目的は、低電圧動作に適した低い閾値電圧を有するとともに、リーク電流も少ないM I S F E Tを具備する半導体装置の製造方法を提供することにある。

【0016】

【課題を解決するための手段】上記目的を達成するため本発明は、半導体基板上に形成されたMISFETを具備する半導体装置の製造方法であって、前記半導体基板上に絶縁薄膜を形成して基板面を保護する成膜工程と、少なくとも前記MISFETのチャネル領域となる前記半導体基板内に前記絶縁薄膜を介して不純物を注入するイオン注入工程と、前記イオン注入工程の後前記絶縁薄膜上に絶縁膜を堆積する膜堆積工程とを備え、前記絶縁薄膜及び前記絶縁膜の積層膜が前記MISFETのゲート絶縁膜とされる半導体装置の製造方法を提供する。また本発明は、半導体基板上に形成されたMISFETを具備する半導体装置の製造方法であって、前記半導体基板上に熱酸化膜を形成する成膜工程と、少なくとも前記MISFETのチャネル領域となる前記半導体基板内に前記熱酸化膜を介して不純物を注入するイオン注入工程と、前記イオン注入工程の後前記熱酸化膜上に絶縁膜を堆積する膜堆積工程とを備え、前記熱酸化膜及び前記絶縁膜の積層膜が前記MISFETのゲート絶縁膜とされる半導体装置の製造方法を提供する。

【0017】すなわち本発明においては、ゲート絶縁膜が積層膜からなるMISFETを具備する半導体装置を製造するに当って、まず下層の絶縁膜を成膜し、次いで下層の絶縁膜を介してMISFETのチャネル領域に不純物をイオン注入し、その後上層の絶縁膜を下層の絶縁膜上に堆積することを特徴としている。このように構成することで本発明の半導体装置の製造方法では、チャネル領域における不純物プロファイルを高精度に制御しながら、半導体基板面との界面構造が安定で膜質の良好なゲート絶縁膜を得ることができる。

【0018】さらに、本発明の半導体装置の製造方法において上述したようなイオン注入工程は、半導体基板と同導電型の不純物を半導体基板内に深く注入する工程と、半導体基板と逆導電型の不純物を半導体基板内に浅く注入する工程とを有していてもよい。換言すれば本発明は、MISFETのチャネル領域へカウンタ不純物を注入して浅い埋め込みチャネル構造を実現する場合に、極めて有利である。

【0019】本発明においては、イオン注入工程と膜堆積工程との間に半導体基板内に注入された不純物を活性化するための熱処理を施す工程を備えていることが望ましい。この理由は、一般に熱酸化以外のプロセスによって形成されたゲート絶縁膜は、チャネル領域に注入された不純物活性化の際の高温下に晒されると膜質の変質が生じるおそれがあることによる。

【0020】本発明のより好ましい態様は、半導体基板上にダミー絶縁膜を介してダミーゲートを形成する工程と、半導体基板内にダミーゲートと自己整合的にMISFETのソース、ドレイン領域を形成する工程と、ダミーゲートの上面が露出するように半導体基板上を層間絶

縁膜で被覆する工程と、ダミーゲート及びダミー絶縁膜を選択的に除去して溝部を形成する工程をさらに備え、成膜工程、イオン注入工程及び膜堆積工程は、溝部の底面の半導体基板に対し行なわれる半導体装置の製造方法である。この好ましい態様によれば、上述したような成膜工程、イオン注入工程及び膜堆積工程に先だってMISFETのソース、ドレイン領域を形成するため、MISFETのチャネル領域における不純物プロファイルに關し、ソース、ドレイン領域に注入される不純物の活性化のための高温プロセス等の影響を排除することができる。

【0021】また本発明の好ましい態様においては、膜堆積工程の後溝部内に金属材料を埋め込む工程をさらに備えていてもよい。本発明では、このようにゲート電極を金属材料とし、望ましくはMISFETのチャネル領域へカウンタ不純物を注入して不純物プロファイルを精度よく制御しながら浅い埋め込みチャネル構造を得ることで、極めて微細かつ高性能のCMOSデバイスの実現に寄与することが可能となる。

【0022】

【発明の実施の形態】以下、本発明の実施形態について図面を参照しながら説明する。図1は、本発明の第1実施形態の半導体装置の製造方法を工程順に示す縦断面図である。この第1実施形態は、本発明の半導体装置の製造方法をnMOSFETに適用した例である。

【0023】まず図1(a)に示すように、LOCOS(選択酸化)法もしくはSTI(シャロウトレニチアイソレーション)法による素子分離領域13の形成されたp型Si基板(またはp型ウェル)11の表面を、酸素雰囲気中で軽く熱酸化した後、得られた膜厚1nm程度の熱酸化膜10を介してp型の不純物としてのB(ボロン)を、加速電圧100keV、ドーズ量 $1E13\text{cm}^{-2}$ にてp型Si基板11内にイオン注入する。さらに、窒素雰囲気中で750℃、10秒の熱処理を施して、基板内に注入されたB(ボロン)を活性化する。

【0024】なおここで熱酸化膜10の膜厚は、基板内に注入されるB(ボロン)のチャネリングの現象を抑制し、また基板表面のSi原子のダングリングボンドとのSi-O結合形成によって基板面を保護・安定化する観点から、その下限が決定されればよい。一方で、得られるnMOSFETのゲート容量の増大を招かず、かつB(ボロン)の活性化のための熱処理時にB(ボロン)が熱酸化膜10に取りこまれる量が抑えられる程度に、熱酸化膜10を薄膜化することが望まれる。

【0025】次に図1(b)に示される通り、熱酸化膜10上にCVD法によってSi酸化膜、Si窒化膜、高誘電体膜、あるいはこれらの複合膜等の絶縁膜12を堆積する。ここでは、400~500℃程度での膜形成が可能である高誘電体膜が、膜堆積時のB(ボロン)の熱酸化膜10及び絶縁膜12への取りこみを極力抑止でき

る点で、それぞれ500~600°C、700~800°C程度の加熱を伴うSi酸化膜やSi窒化膜よりも好ましい。

【0026】また高誘電体膜の場合、容量が同等のSi酸化膜に換算した実効膜厚は非常に小さく、nMOSFETのゲート絶縁膜を上述したような積層膜で形成しても、そのゲート容量がさほど増大しないという利点もある。高誘電体膜の具体例としては、Ti₂O₅膜、Ta₂O₅膜、Al₂O₃膜、HfO₂膜、ZrO₂膜等が挙げられ、例えばTa₂O₅膜の比誘電率は約20~30で、膜厚1nmの熱酸化膜10上に膜厚5nmのTa₂O₅膜を堆積しても、得られる積層膜のSi酸化膜換算膜厚は2nm程度に過ぎない。

【0027】次いで絶縁膜12上にポリシリコン膜を形成し、フォトリソグラフィ技術を利用してパターニングすることで、ゲート電極16に加工する。続いて、ゲート電極16と自己整合的にAs(ヒ素)を、加速電圧15keV、ドーズ量3E14cm⁻²にてp型Si基板11内にイオン注入し、800°C、10秒の熱処理を施して注入されたAs(ヒ素)を活性化する。さらに、基板全面にSi窒化膜等の絶縁膜を堆積しエッチバックして、ゲート電極16の側面に側壁絶縁膜15として選択的に残存させたうえで、再度As(ヒ素)を、加速電圧45keV、ドーズ量3E15cm⁻²にてp型Si基板11内にイオン注入し、950°C、10秒の熱処理を施して注入されたAs(ヒ素)を活性化する。こうして図1

(c)に示されるように、熱酸化膜10と絶縁膜12の積層膜からなるゲート絶縁膜、ゲート電極16、ソース、ドレイン領域14及びエクステンション領域17を有するnMOSFETが得られる。

【0028】この後特に図示しないが、BPSG(ボロン・リン・シリケートガラス)等からなる層間絶縁膜を基板全面に堆積する。続いて、層間絶縁膜にコンタクト孔を開口し、ゲート電極16やソース、ドレイン領域14にコンタクトする金属配線を形成する。さらに、必要に応じ層間絶縁膜の堆積と金属配線の形成を繰り返して多層配線構造を行なったうえで、全面を表面保護膜で覆いパッド部を開口して半導体装置を完成する。

【0029】上述したような半導体装置の製造方法においては、基板表面に熱酸化膜10を形成した後、この熱酸化膜10を介して基板内にB(ボロン)を注入し、次いで絶縁膜12を熱酸化膜10上に堆積することで、熱酸化膜10と絶縁膜12の積層膜からなるゲート絶縁膜を得ている。すなわち、チャネル領域へのB(ボロン)の注入が行なわれた後は、熱酸化の工程を経ることなくゲート絶縁膜が形成されるので、チャネル領域における不純物プロファイルの変動を抑制することができる。

【0030】また、ゲート絶縁膜の基板側に熱酸化膜10を配することで、絶縁膜12を主体としたゲート絶縁膜において基板面との界面構造の安定化が図られてい

る。一方で、熱酸化膜10上に積層した膜質の良好な絶縁膜12を主体としてゲート絶縁膜を形成しているため、基板へのB(ボロン)の注入の際に熱酸化膜10に惹起されたダメージも特に問題とならず、結果的に耐圧性の十分なゲート絶縁膜を得ることが可能となる。

【0031】さらに図2、図3は、本発明の第2実施形態の半導体装置の製造方法を工程順に示す縦断面図である。この第2実施形態は、本発明の半導体装置の製造方法を、金属材料でゲート電極を形成するとともに浅い埋め込みチャネル構造を採用したMISFETに適用した例である。

【0032】まず、LOCOS(選択酸化)法もしくはSTI(シャロウトレーンチアイソレーション)法による素子分離領域23が設けられたSi基板21の所定領域に対し、nウェル18及びpウェル19を形成する。引き続いて図2(a)に示されるように、基板表面を熱酸化してSi酸化膜を形成したうえで全面に膜厚200nmのポリシリコン膜を堆積した後、フォトリソグラフィ技術を利用してゲート電極形状にパターニングして、ダメー絶縁膜20とダメーゲート22を得る。なおダメーゲート22は、ポリシリコン膜上にキャップ材としてのSi窒化膜等を積層したものであってもよい。

【0033】次いで、nMOSFETが形成されるpウェル19側をレジストで覆ったうえで、ダメーゲート22をマスクとしてp型の不純物であるBF₂₊(フッ化ボロン)を、加速電圧10keV、ドーズ量4E14cm⁻²にてnウェル18内にイオン注入する。同様に、今度はpMOSFETが形成されるnウェル18側をレジストで覆ったうえで、ダメーゲート22をマスクとしてn型の不純物であるAs(ヒ素)を、加速電圧15keV、ドーズ量3E14cm⁻²にてpウェル19内にイオン注入した後、800°C、10秒の熱処理を施して注入されたp型及びn型の不純物を活性化する。

【0034】さらに、基板全面にSi窒化膜等の絶縁膜を堆積しエッチバックして、ダメーゲート22の側面に側壁絶縁膜25として選択的に残存させたうえで、再度BF₂₊(フッ化ボロン)を、加速電圧35keV、ドーズ量3.5E15cm⁻²にてnウェル18内に、またAs(ヒ素)を、加速電圧45keV、ドーズ量3E15cm⁻²にてpウェル19内にイオン注入し、950°C、10秒の熱処理を施して注入されたp型及びn型の不純物を活性化する。こうして図2(b)に示される通り、nウェル18側にはpMOSFETのソース、ドレイン領域24とエクステンション領域27、pウェル19側にはnMOSFETのソース、ドレイン領域24とエクステンション領域27が、それぞれダメーゲート22と自己整合的に得られる。

【0035】続いて基板全面に、CVD法によるBPSG(ボロン・リン・シリケートガラス)膜、あるいはLPCVD法によるTEOS(テトラエチルシリケート)

膜等からなる層間絶縁膜26を堆積する。この後図2(c)に示されるように、ダミーゲート22の上面が露出するまで、CMP(化学的機械的研磨)法で層間絶縁膜26を平坦化する。

【0036】次に、CDE(ケミカルドライエッティング)法によって、ダミーゲート22及びダミー絶縁膜20を層間絶縁膜26に対し選択的に除去する。こうして、ダミーゲート22及びダミー絶縁膜20が除去されてできた溝部底面の基板表面に対し、酸素雰囲気中で軽く熱酸化を行ない、nウェル18側におけるpMOSFETのチャネル領域上とpウェル19側におけるnMOSFETのチャネル領域上に、膜厚1nm程度の熱酸化膜28を形成する。

【0037】次いで図3(a)に示されるように、nMOSFETが形成されるpウェル19側をレジスト31で覆ったうえで、nウェル18側の溝部底面に形成された熱酸化膜28を介して、n型の不純物としてのAs(ヒ素)を加速電圧100keV、ドーズ量1E13cm⁻²で、またp型のカウンタ不純物としてのB(ボロン)を加速電圧5keV、ドーズ量5E12cm⁻²で、それぞれn型ウェル18内にイオン注入する。さらに、pMOSFETが形成されるnウェル18側をレジストで覆ったうえで、pウェル19側の溝部底面に形成された熱酸化膜28を介して、p型の不純物としてのB(ボロン)を加速電圧100keV、ドーズ量1E13cm⁻²で、またn型のカウンタ不純物としてのAs(ヒ素)を加速電圧15keV、ドーズ量1.5E12cm⁻²で、それぞれp型ウェル19内にイオン注入する。

【0038】引き続いて、窒素雰囲気中で750℃、10秒の熱処理を施して、基板内に注入された各不純物を活性化した後、熱酸化膜28上にCVD法によってSi酸化膜、Si窒化膜、高誘電体膜、あるいはこれらの複合膜等の絶縁膜29を堆積する。次に、基板全面に膜厚5nmのTiN(窒化チタン)及び膜厚200nmのW(タンゲステン)を成膜して絶縁膜29上の溝部内にこれら金属材料を埋め込み、CMP法で平坦化することで溝部内に選択的に残存させる。こうして図3(b)に示される通り、nウェル18側ではB(ボロン)が20nm以下の深さにピークを有する程度に浅く、かつAs(ヒ素)がそれより深く注入され、逆にpウェル19側ではAs(ヒ素)が同等に浅く、かつB(ボロン)がそれより深く注入されてなる浅い埋め込みチャネル構造を有するとともに、このようなチャネル領域上に熱酸化膜28と絶縁膜29の積層膜からなるゲート絶縁膜を介して、金属材料からなるゲート電極30を形成したMISFETが得られる。

【0039】なお、ここでも第1実施形態と同様絶縁膜29としては、400~500℃程度での膜形成が可能であり、かつSi酸化膜換算膜厚を薄くできるTi₂O₅膜、Ta₂O₅膜、Al₂O₃膜、HfO₂膜、ZrO₂膜等

の高誘電体膜が好ましい。またゲート電極30については、TiN(窒化チタン)/W(タンゲステン)に代えてTiN(窒化チタン)/Al(アルミニウム)、TiN(窒化チタン)/Cu(銅)の積層構造であってもよいし、Ti(チタン)、Ta(タンタル)を単独で用いてもよい。

【0040】この後特に図示しないが、BPSG(ボロン・リン・シリケートガラス)等からなる層間絶縁膜を基板全面に堆積する。続いて、層間絶縁膜にコンタクト孔を開口し、ゲート電極30やソース、ドレイン領域24にコンタクトする金属配線を形成する。さらに、必要に応じ層間絶縁膜の堆積と金属配線の形成を繰り返して多層配線構造化を行なったうえで、全面を表面保護膜で覆いパッド部を開口して半導体装置を完成する。

【0041】上述したような半導体装置の製造方法においては、チャネル領域における基板表面に熱酸化膜28を形成した後、この熱酸化膜28を介して基板内に不純物をイオン注入し、次いで絶縁膜29を熱酸化膜28上に堆積することで、熱酸化膜28と絶縁膜29の積層膜からなるゲート絶縁膜を得ている。すなわち、チャネル領域への不純物の注入が行なわれた後は、熱酸化の工程を経ることなくゲート絶縁膜が形成されるので、チャネル領域における不純物プロファイルの変動を抑制することができる。

【0042】しかも第2実施形態においては、これらの工程に先だって基板上でダミー絶縁膜20を介してダミーゲート22を加工し、ダミーゲート22と自己整合的にMISFETのソース、ドレイン領域24及びエクステンション領域27を形成している。従って、チャネル領域における不純物プロファイルは、ソース、ドレイン領域24やエクステンション領域27に注入された不純物の活性化のための高温プロセスの影響を受けることがなく、一段と正確にチャネル領域における不純物プロファイルを制御することが可能である。

【0043】図4は、ここでのMISFETのうちの特にpMOSFETについて、チャネル領域における不純物プロファイルを絶縁膜29の堆積前後で対比して示している。図中、(a)がチャネル領域に対するイオン注入直後の不純物プロファイル図、(b)が絶縁膜29の堆積後の不純物プロファイル図である。

【0044】図示される通り図4からは、pMOSFETのチャネル領域におけるp型のカウンタ不純物であるB(ボロン)量に関し、(a)(b)間での不純物濃度の減少が図6の場合に比べ著しく抑えられていることが判る。すなわちここでは、熱酸化膜28と絶縁膜29の積層膜からなるゲート絶縁膜中へのチャネル領域の不純物の取りこみが少なく、浅い埋め込みチャネル構造が不純物プロファイルの大きな変動を招くことなく得られており、これはnMOSFETについても全く同様である。なお第2実施形態においては、ダミーゲート22が

11

除去されてできた溝部内へ不純物を注入するので、こうした不純物プロファイルがチャネル領域以外のソース、ドレイン領域24等に影響することもない。

【0045】また、これらpMOSFET、nMOSFETでは、ダミーゲート22と自己整合的にソース、ドレイン領域24及びエクステンション領域27を形成した後に、ゲート絶縁膜及び金属材料からなるゲート電極30を形成しているので、ソース、ドレイン領域24やエクステンション領域27に注入された不純物の活性化のための高温プロセスによって、ゲート絶縁膜とゲート電極30の界面反応やゲート電極30の劣化が生じることがない。この結果、金属材料からなるゲート電極や高誘電体膜等を用いたゲート絶縁膜の本来の利点を損なわずに、ゲート絶縁膜の薄膜化及びゲート電極の低抵抗化を図ったMISFETを製造することができる。

【0046】さらに、こうしたMISFETについてゲート絶縁膜の基板側に熱酸化膜28を配することで、絶縁膜29を主体としたゲート絶縁膜において基板面との界面構造の安定化が図られている。一方で、熱酸化膜28上に積層した膜質の良好な絶縁膜29を主体としてゲート絶縁膜を形成しているため、チャネル領域への不純物の注入の際に熱酸化膜28に惹起されたダメージも特に問題とならず、結果的にゲート絶縁膜を薄膜化してもリーキ電流は少なく、十分な耐圧性が確保され得る。

【0047】この第2実施形態においては、特に低抵抗の金属材料でゲート電極を形成するとともに、浅い埋め込みチャネル構造を採用してMISFETの閾値電圧の低下を図っているので、スケーリング則に則ってスケールダウンされた極めて微細かつ高性能のCMOSデバイスを実現するうえで非常に有効である。なお、図2には特に示されていないが、ソース、ドレイン領域24に対し金属材料を堆積して反応させることで、その表面にシリサイド膜を形成するシリサイドプロセスを適用し、ゲート電極30のみならずソース、ドレイン領域24の寄生抵抗及びそれらに対するコンタクト抵抗についても、低抵抗化を図ることが好ましい。

【0048】さらに本発明は、上述したような各実施形態に何ら限定されるものではなく、例えば第1実施形態についてシリサイドプロセスを適用し、ソース、ドレイン領域やゲート電極を低抵抗化してもよい。その他、チャネル領域に注入される不純物の種類、導電型等を変更しても別段差し支えなく、本発明の主旨を逸脱しない範囲内で種々変形して実施することができる。

12

【0049】

【発明の効果】以上詳述したように本発明の半導体装置の製造方法によれば、MISFETのチャネル領域において不純物プロファイルの大きな変動を招くことなく、半導体基板面との界面構造が安定で膜質の良好なゲート絶縁膜を得ることができる。さらには、低電圧動作に適した低い閾値電圧を有するとともに、リーキ電流も少ないMISFETを具備する半導体装置を実現することも可能となる。

【図面の簡単な説明】

【図1】本発明の第1実施形態の半導体装置の製造方法を工程順に示す縦断面図である。

【図2】本発明の第2実施形態の半導体装置の製造方法を工程順に示す縦断面図である。

【図3】本発明の第2実施形態の半導体装置の製造方法を工程順に示す縦断面図である。

【図4】本発明の第2実施形態で得られたpMOSFETのチャネル領域における不純物プロファイルを示す特性図である。

【図5】従来のpMOSFETの製造プロセスを示す縦断面図である。

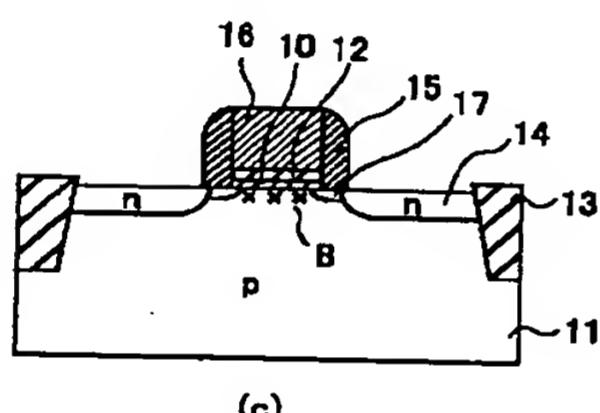
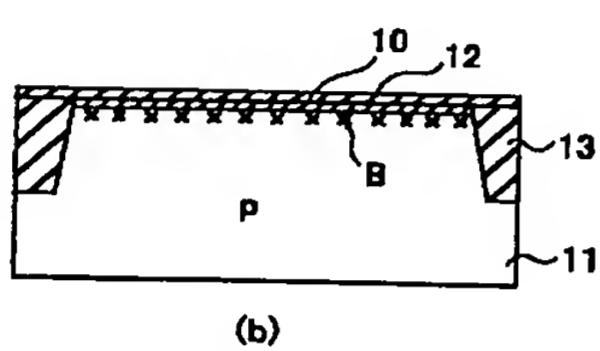
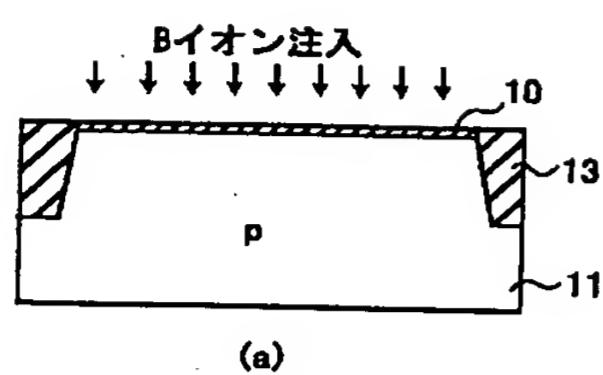
【図6】従来の製造プロセスで得られたpMOSFETのチャネル領域における不純物プロファイルを示す特性図である。

【符号の説明】

10	…	熱酸化膜
11	…	p型Si基板
12	…	絶縁膜
13、23	…	素子分離領域
14、24	…	ソース、ドレイン領域
15、25	…	側壁絶縁膜
16	…	ゲート電極
17、27	…	エクステンション領域
18	…	nウェル
19	…	pウェル
20	…	ダミー絶縁膜
21	…	Si基板
22	…	ダミーゲート
26	…	層間絶縁膜
28	…	熱酸化膜
29	…	絶縁膜
30	…	ゲート電極

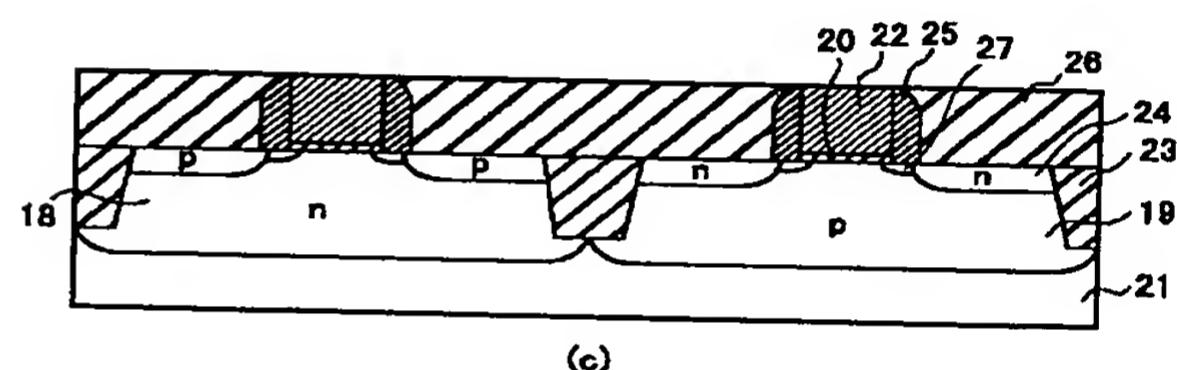
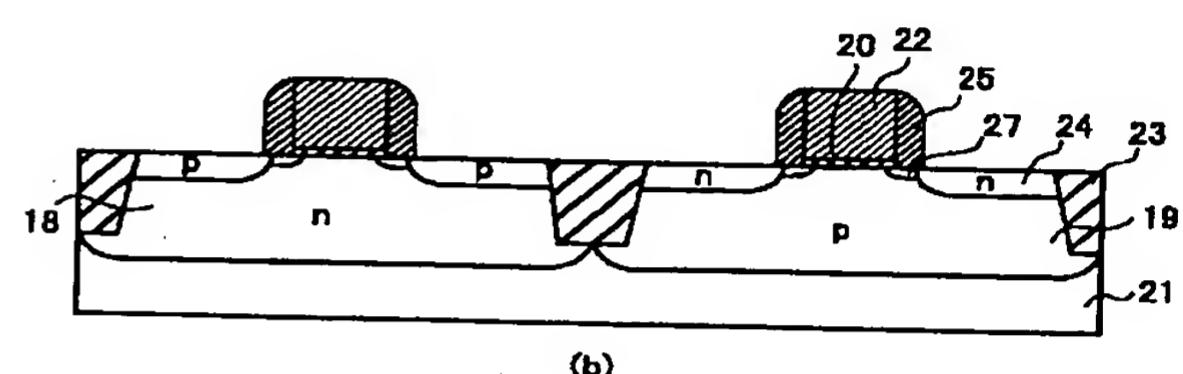
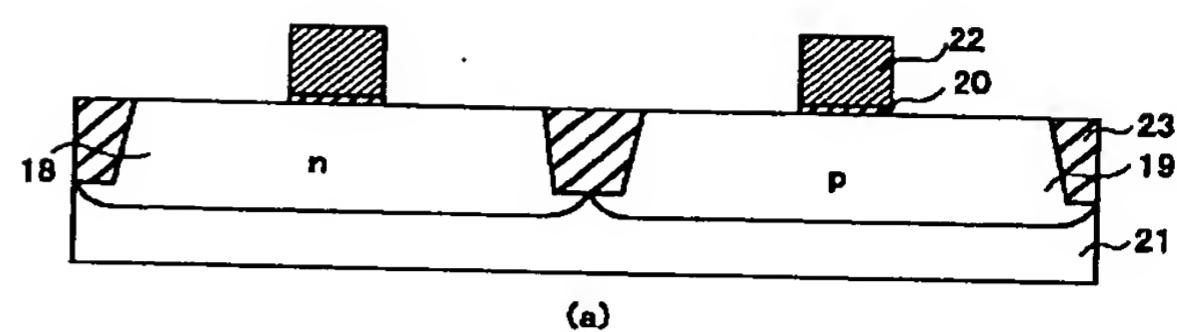
40

【図1】



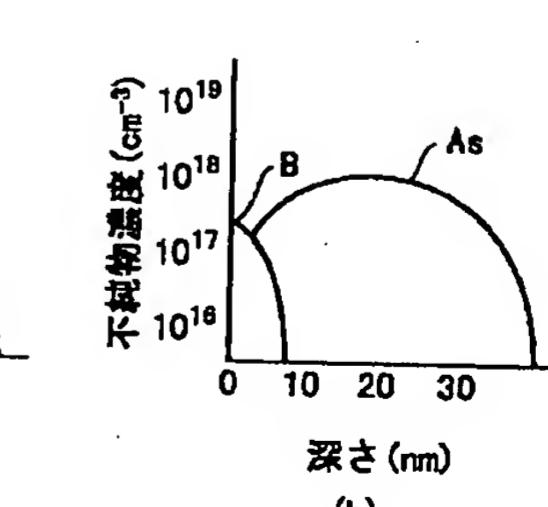
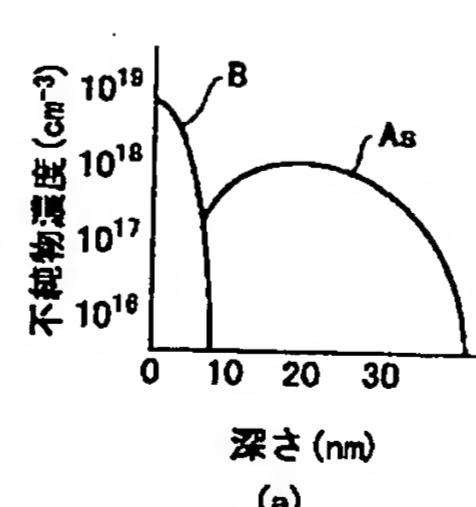
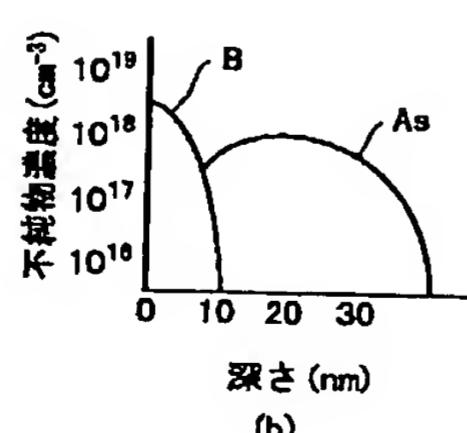
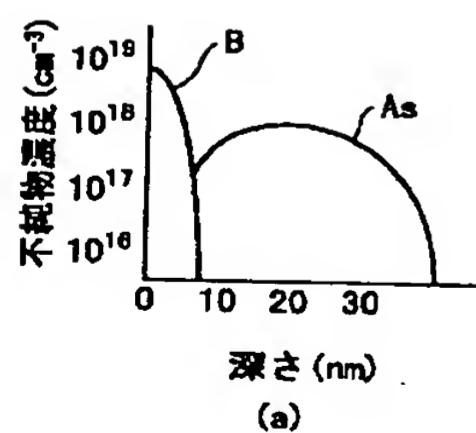
10: 熱酸化膜
11: p型Si基板
12: 絶縁膜
13: 素子分離領域
14: ソース、ドレイン領域
15: 側壁絶縁膜
16: ゲート電極
17: エクステンション領域

【図2】



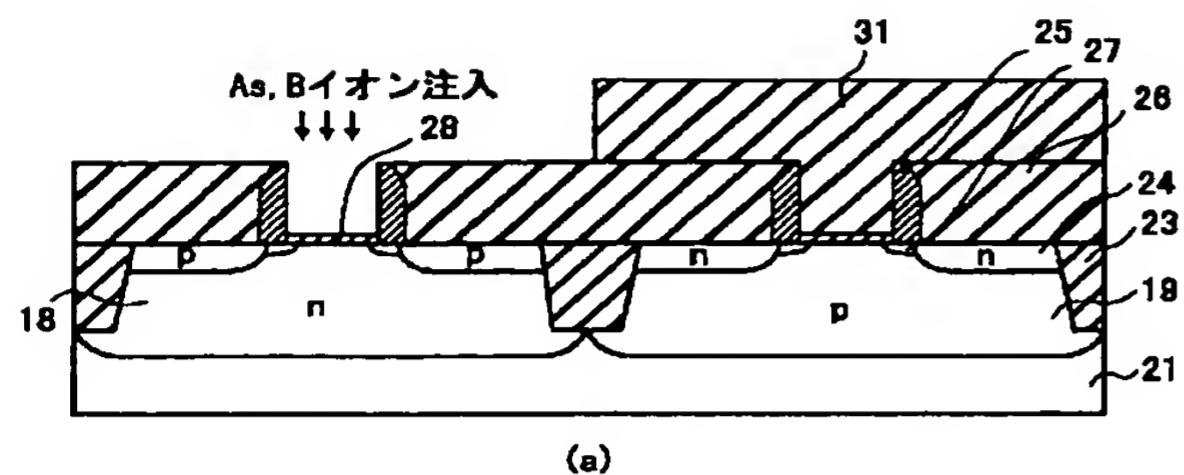
18: nウェル
19: pウェル
20: ダミー絶縁膜
21: Si基板
22: ダミーゲート
23: 素子分離領域
24: ソース、ドレイン領域
25: 側壁絶縁膜
26: 層間絶縁膜
27: エクステンション領域

【図4】

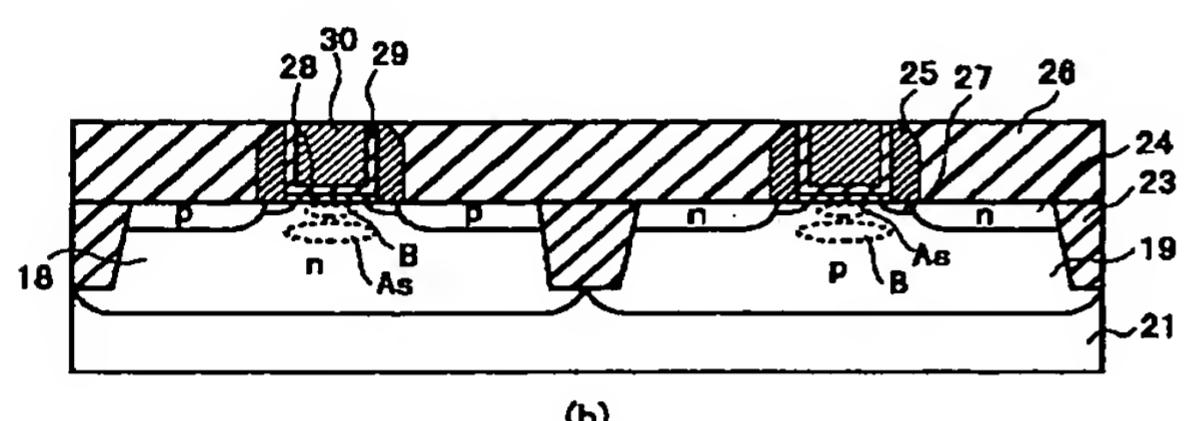


【図6】

【図3】



(a)



(b)

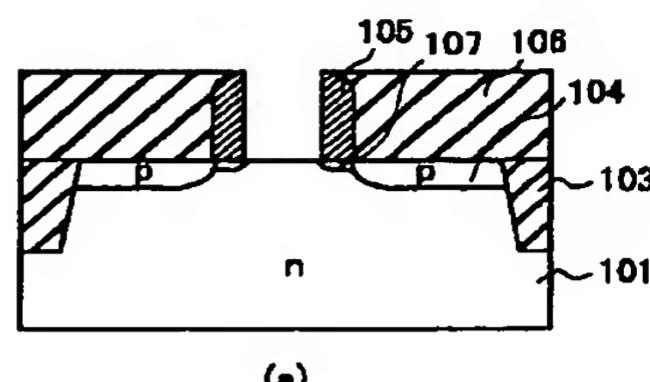
28: 熱酸化膜

29: 絶縁膜

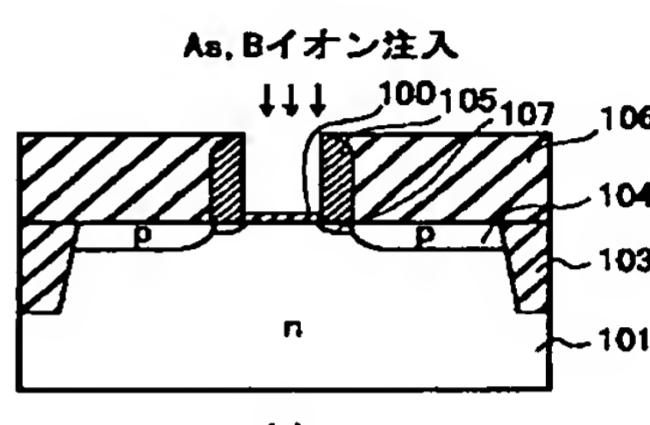
30: ゲート電極

31: レジスト

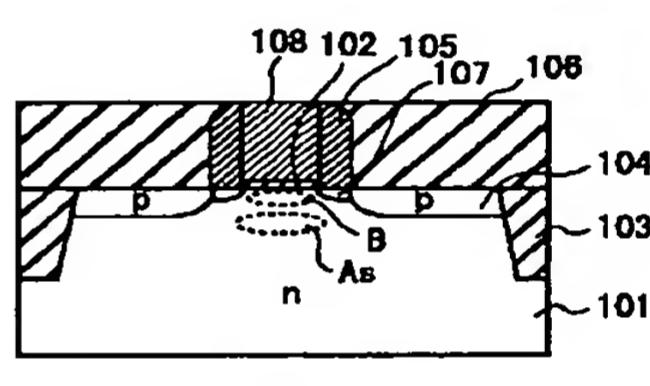
【図5】



(a)



(b)



(c)

100: 犠牲酸化膜 101: n型半導体基板 102: ゲート絶縁膜
 103: 素子分離領域 104: ソース、ドレイン領域 105: 側壁絶縁膜
 106: 層間絶縁膜 107: エクステンション領域 108: ゲート電極

フロントページの続き

F ターム(参考) 5F040 DA00 DB03 DC01 EC01 EC04
 EC07 EC08 EC12 ED01 ED03
 ED05 EE05 EF02 EK01 EK05
 EL02 FA02 FA07 FB02 FB04
 FB05 FC02 FC19
 5F048 AA01 AB03 AC03 BA01 BB04
 BB09 BB11 BB12 BC06 BD04
 BD05 BE03 BG12 BG14 DA27

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)